

CLIPPEDIMAGE= JP361187373A
PAT-NO: JP361187373A
DOCUMENT-IDENTIFIER: JP 61187373 A
TITLE: FIELD EFFECT TRANSISTOR

PUBN-DATE: August 21, 1986

INVENTOR-INFORMATION:

NAME
OGAWA, MASAKI
BABA, TOSHIO

ASSIGNEE-INFORMATION:

NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP60027864
APPL-DATE: February 15, 1985

INT-CL (IPC): H01L029/80
US-CL-CURRENT: 257/194

ABSTRACT:

PURPOSE: To enable a high speed operation by providing the second reverse conductive type semiconductor region in contact with the source electrode direction of a channel, and providing the third high resistance semiconductor in contact with the gate electrode direction of the channel.

CONSTITUTION: A high resistance Al<SB>0.7</SB>Ga<SB>0.3</SB>As layer 12, a low resistance N-type GaAs layer 14, and a gate electrode 19 are laminated on a channel 13 of the surface of a high resistance GaAs 11. A low resistance N-type Al<SB>0.2</SB>Ga<SB>0.8</SB>As region 15 is provided in contact with a source electrode 17 direction of the channel 13, and a low resistance N-type GaAs region 16 is provided in contact with a drain electrode 18 direction. Electrons from the electrode 17 pass the region 15, are accelerated abruptly by the potential difference between the region 15 and the channel 13, and discharged into the channel 13. Thus, the channel 13 is moved at a high speed

without scattering in a grating to arrive at the electrode 18.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-187373

⑤ Int.Cl.⁴
H 01 L 29/80

識別記号

庁内整理番号
7925-5F

⑬ 公開 昭和61年(1986)8月21日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 電界効果トランジスタ

⑮ 特 願 昭60-27864

⑯ 出 願 昭60(1985)2月15日

⑰ 発 明 者 小 川 正 毅 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 発 明 者 馬 場 寿 夫 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

(1) 高抵抗もしくは1導電型の第1の半導体からなるチャンネルのソース電極方向に接して、電子もしくは正孔に対する電位の大きな反対導電型の第2の半導体領域を設け、該チャンネルのゲート電極方向に接して、電子もしくは正孔に対する電位が第2の半導体よりも大きな高抵抗の第3の半導体を設けたことを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高速動作可能な化合物半導体電界効果トランジスタに関する。

〔従来の技術〕

従来の2次元電子ガストランジスタは、電子の走行領域が単一の半導体材料で形成されており、ソース電極からでた電子は該半導体中の電界によ

り加速されてチャンネルを走行しドレイン電極に到達する構造をとっている。

〔発明が解決しようとする問題点〕

この構造によるときには高電界領域に到達する前に半導体の格子との散乱をうけるため、半導体中の最高速度は、例えば、GaAsでは、 $1.6 \times 10^7 \text{ cm/sec}$ 程度に抑えられてしまう。最高速度をさらに大きくすれば、トランジスタはさらに高速で動作可能となる。最高速度をあげるために、熱平衡下での最高速度のより高い半導体材料(例えば、インジウム、ガリウム、砒素混晶)を用いることが試られているが、半導体成長技術上の困難により成功をおさめるに至っていない。

本発明の目的は、電子を非熱平衡下で走行させることにより、熱平衡時の最高速度を越えた速度でチャンネル中を走行する2次元電子ガストランジスタを提供することにある。

〔問題点を解決するための手段〕

本発明は高抵抗もしくは1導電型の第1の半導体からなるチャンネルのソース電極方向に接して、

電子もしくは正孔に対する電位の大きな反対導電型の第2の半導体領域を設け、該チャンネルのゲート電極方向に接して、電子もしくは正孔に対する電位が第2の半導体よりも大きな高抵抗の第3の半導体を設けたことを特徴とする電界効果トランジスタである。

〔作用・原理〕

本発明による2次元電子ガストランジスタのソース電極から供給された電子は、第2の半導体から第1の半導体に放出される際に、第2の半導体と第1の半導体間の伝導電子の電位差に相当するエネルギーだけ急激に加速されるため、第1の半導体の格子と散乱することなしに熱平衡下での最高速度を越える高速でチャンネルを走行してドレイン電極に到達する。このため、高速動作が可能となる。

〔実施例〕

以下に本発明の実施例を図によって説明する。

（実施例1）

第1図に本発明の第1の実施例による2次元電

高抵抗 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}$ 層12の伝導電子に対する電位より約0.4V低い場合、チャンネル中を走行する電子が高抵抗 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}$ 層12中に入り込むことはない。このため、加速されたチャンネル中の電子に対し、高抵抗 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}$ 層12は十分な障壁特性を保っている。第1図の2次元電子ガストランジスタでは、チャンネル部13中に放出される電子は急激に加速されるため、格子との散乱をうけず、チャンネル中の最高速度は $7 \times 10^7 \text{ cm/sec}$ と従来の4倍以上の高速に達する。このため、従来の2次元電子ガストランジスタより4倍の高速動作が可能となった。なお、第1図のチャンネル長は、格子との散乱を防ぐため $0.2 \mu\text{m}$ 以下の短ゲート長に設計されている。

（実施例2）

第2図に、本発明の第2の実施例の2次元電子ガストランジスタの構造を示す。第2図は第1図の n 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層15のかわりに n 型超格子層25を用いたものである。 n 型超格子層25は、 15\AA の高抵抗 AlAs 21と 30\AA の n 型 GaAs 22とを順次積層し

子ガストランジスタの構造を示す。

すなわち、高抵抗砒化ガリウム (GaAs)11表面のチャンネル部13上に高抵抗アルミニウム $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 層12を厚さ 300\AA 、低抵抗 n 型 GaAs 層14を厚さ 5000\AA 、ゲート電極金属層19を厚さ 3000\AA 順次積層し、チャンネル13のソース電極方向に接して、低抵抗 n 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 領域15を設け、その表面にソース電極金属層17を設け、チャンネル13のドレイン電極方向に接して、低抵抗 n 型 GaAs 領域16を設け、その表面にドレイン電極金属層18を設けたものである。ソース電極金属層17から供給された電子は、 n 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 領域15を通り、 n 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 領域15をチャンネル部13の GaAs との電位差 0.2V により急激に加速されてチャンネル部13中に放出される。チャンネル部13の抵抗はゲート電極金属層19に印加されるゲート電圧によって制御されるため、チャンネル中に放出される電子密度はゲート電極によって制御される。第1図の2次元電子ガストランジスタでは、 n 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 領域15の伝導電子に対する電位が、

た構造であり、 n 型超格子層25全体のバンドギャップは $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 混晶と同一に設定されている。第2図の構造では、液体窒素温度 (77°K) でも n 型超格子層25の電子濃度が低下しないため、チャンネル13中に高効率で電子を放出できる。チャンネル部13の GaAs との電子の電位差は 0.25V と第1図より大きい場合、チャンネル中の最高速度は $1 \times 10^{10} \text{ cm/sec}$ と従来の6倍以上の高速が得られる。

〔発明の効果〕

以上説明したように、本発明による2次元電子ガストランジスタによれば、チャンネル中を走行する電子の最高速度が従来の4ないし6倍に高められるため、超高速で動作させることができる。

本発明の構造は、電子ガスのみならず正孔ガスに対しても適用できる。この場合、チャンネルの第1の半導体を Ge に選んだときには、ソース電極方向に接する第2の半導体として p 型 GaAs 、チャンネルのゲート電極方向に接する高抵抗半導体としては、 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ が適当である。チャンネルの第1の半導体を GaAs に選んだときは、第2の半

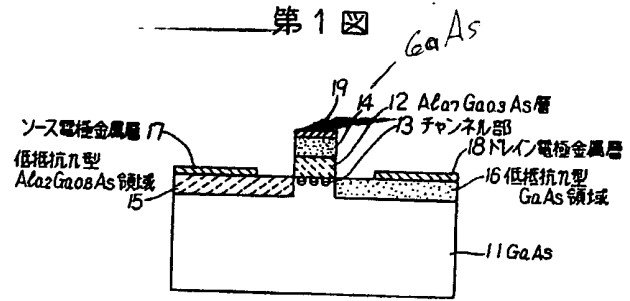
導体としてp型 $\text{In}_{0.49}\text{Ga}_{0.51}\text{P}$ 、上記高抵抗半導体としては、 ZnSe の組み合わせが適当である。また電子ガストランジスタとしてチャンネル材料に $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ を用いた場合には、第2の半導体としてn型 $\text{In}_{0.5}(\text{Ga}_{0.5}\text{Al}_{0.5})_{0.5}\text{As}$ 、高抵抗半導体としては $\text{In}_{0.5}\text{Al}_{0.5}\text{As}$ の組み合わせが適当となる。

4. 図面の簡単な説明

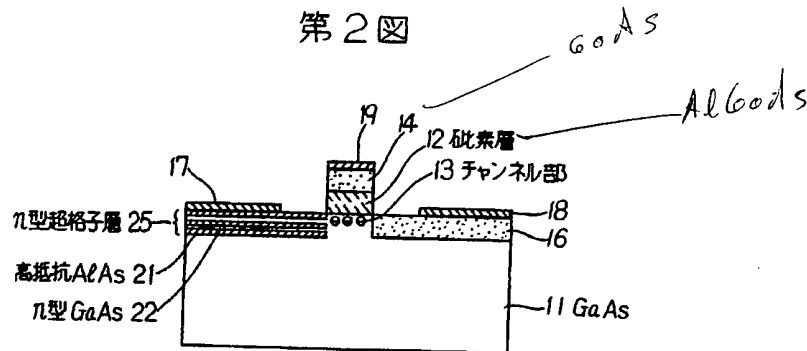
第1図は本発明の第1の実施例による2次元電子ガストランジスタの構造を示す図、第2図は本発明の第2の実施例による2次元電子ガストランジスタの構造を示す図である。

11…GaAs、12… $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 層、13…チャンネル部、14…低抵抗n型GaAs層、15…低抵抗n型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 領域、17…ソース電極金属層、18…ドレイン電極金属層、25…n型超格子層

第1図



第2図



特許出願人 日本電気株式会社
代理人 弁理士 内 原 晋